



0420413
3

OFPS File No: P/1071-1233

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of

New York, New York

HASEGAWA, Takashi

Date: January 4, 2001

Serial No.: 09/726,710

Group Art Unit:

Date Filed: November 30, 2000

For: NONRECIPROCAL CIRCUIT DEVICE, NONRECIPROCAL CIRCUIT AND
COMMUNICATION DEVICE

Hon. Commissioner of Patents
and Trademarks
Washington, D.C. 20231

In accordance with 35 U.S.C. Sec. 119, applicant(s) confirm(s) the request for priority
under the International Convention and submits herewith the following documents in support of
the claim:

Certified Copy of Japanese Application:
11-340423 filed November 30, 1999

Respectfully submitted,

James A. Finder

Registration No.: 30,173

OSTROLENK, FABER, GERB & SOFFEN, LLP

1180 Avenue of the Americas

New York, New York 10036-8403

Telephone: (212) 382-0700



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

1071-1233
09/226710
#3

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年11月30日

出願番号
Application Number:

平成11年特許願第340423号

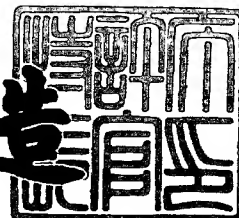
出願人
Applicant (s):

株式会社村田製作所

2000年11月17日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3095573

【書類名】 特許願

【整理番号】 990360

【提出日】 平成11年11月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01P 1/383

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目26番10号
株式会社村田製作所内

【氏名】 長谷川 隆

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代理人】

【識別番号】 100084548

【弁理士】

【氏名又は名称】 小森 久夫

【手数料の表示】

【予納台帳番号】 013550

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004875

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 非可逆回路素子、非可逆回路および通信装置

【特許請求の範囲】

【請求項 1】 直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置して成る非可逆回路素子において、

前記中心導体の少なくとも 1 つのポート部と信号入出力端との間にソレノイド状のインダクタを接続するとともに、該インダクタにより生じる前記磁性体を通る磁束の向きが前記直流磁界の向きに対して略垂直となる関係に、前記インダクタを配置した非可逆回路素子。

【請求項 2】 請求項 1 に記載の非可逆回路素子と、該非可逆回路素子のインダクタに対して直列に接続されるキャパシタとを設けて、該キャパシタと前記インダクタとによって帯域通過フィルタを構成した非可逆回路。

【請求項 3】 請求項 1 に記載の非可逆回路素子と、該非可逆回路素子のインダクタの両端とアースとの間に接続されるキャパシタと、前記インダクタとによって低域通過フィルタを構成した非可逆回路。

【請求項 4】 請求項 1 に記載の非可逆回路素子または、請求項 2 もしくは 3 に記載の非可逆回路を備えた通信装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、マイクロ波帯などの高周波帯域で使用される、例えばアイソレータやサーキュレータなどの非可逆回路素子、該非可逆回路素子とともに構成した非可逆回路、およびそれらを用いた通信装置に関するものである。

【0 0 0 2】

【従来の技術】

従来、集中定数型のアイソレータやサーキュレータなどの非可逆回路素子は、信号の伝送方向に対する減衰量が極めて小さく、逆方向への減衰量が極めて大きい、という特性を利用して通信装置などに用いられている。

【0 0 0 3】

従来のアイソレータの分解斜視図を図 7 に、その内部構造を図 8 にそれぞれ示す。また、等価回路を図 9 に示す。

【0004】

図 7 および図 8 に示すように、このアイソレータは、主として上ヨーク 2 と下ヨーク 8 とで構成される磁気閉回路内に、中心導体 5 1, 5 2, 5 3 およびフェライト 5 4 からなる磁性組立体 5、永久磁石 3、および樹脂ケース 7 をそれぞれ配設したものである。中心導体 5 1, 5 2 のポート部 P 1, P 2 は、樹脂ケース 7 に形成された入出力端子 7 1, 7 2 および整合用コンデンサ C 1, C 2 に接続され、中心導体 5 3 のポート部 P 3 は整合用コンデンサ C 3 および終端抵抗 R に接続され、各コンデンサ C 1, C 2, C 3 および終端抵抗 R の一端はアース端子 7 3 に接続されている。

【0005】

図 9 に示す等価回路ではフェライトを円板形状に表し、直流磁界を H として表し、中心導体 5 1, 5 2, 5 3 を等価的なインダクタ L として表している。

【0006】

ところで、一般の通信装置において、回路中に使用されている増幅器は必ずある程度の歪みを発生させ、これが基本波の 2 倍波や 3 倍波などの不要輻射の原因となっている。通信装置の不要輻射は、電力増幅器の異常動作や混信の原因となるため、予め基準や規格が設けられていて、ある一定のレベル以下にする必要がある。不要輻射を防ぐためには、直線性の良い増幅器を用いることが有効であるが、それらは高価であり、代わりにフィルタなどを備えて不要な周波数成分を減衰させる方法が一般的である。しかし、そのようなフィルタを使用するにもコストがかかりまたサイズが大型化する上、フィルタによる損失も発生する。

【0007】

一方、通信装置においては、回路中の増幅器の安定動作および保護のために、アイソレータやサーキュレータが使用されるが、特に集中定数型のアイソレータやサーキュレータは、その順方向特性が帯域通過フィルタの特性を有していて、通過帯域より離れた周波数帯域では、順方向であっても信号が減衰されるという特徴を備えている。しかし、図 7 ～ 9 に示した従来の基本的な構造を備えただけ

の非可逆回路素子では、不要な周波数帯域で十分な減衰特性を得ることはできなかった。

【 0 0 0 8 】

そこで、主に基本波の 2 倍波または 3 倍波などの不要輻射の周波数帯域で大きな減衰量の得られる非可逆回路素子が特開平 1 0 - 9 3 3 0 8 号に示されている。その構成例として、アイソレータの分解斜視図を図 1 0 に、内部構造を図 1 1 に、等価回路を図 1 2 にそれぞれ示す。

【 0 0 0 9 】

図 1 0 および図 1 1 が先の従来例としての図 7 および図 8 と異なるのは、帯域通過フィルタ用のインダクタ L_f を設けている点である。このインダクタ L_f は中心導体 5 1 のポート部 P 1 と整合用コンデンサ C 1 と入出力端子 7 1 との間に接続している。

【 0 0 1 0 】

図 1 2 の等価回路に示すように、入出力端子 7 1 に対して直列にキャパシタ C_f を接続することにより、このキャパシタ C_f とインダクタ L_f とによって帯域通過フィルタを構成している。

【 0 0 1 1 】

【発明が解決しようとする課題】

このように、不要な周波数帯域を減衰させるフィルタのための少なくともインダクタを非可逆回路素子内に設けることによって、単体のフィルタを外部に設ける場合に比べて通信装置全体として小型化が図れる。しかしながら、最近の移動体通信機器における更なる小型化の要請に伴って、このようなフィルタ用のインダクタを備えた非可逆回路素子自体も小型化が迫られている。そのため、上記のフィルタ用のインダクタも小型化する必要がある。ところが、ソレノイド状に形成したインダクタを小型化した場合、そのインダクタンスが小さくなり、基本波の 2 倍波や 3 倍波での減衰量が小さくなってしまふ。また、インダクタンスを減少させることなく、ソレノイド状インダクタを小型化するために、磁性体内にソレノイドを形成するといった構造も一応は考えられるが、このような構造では、新たに磁性体部材が必要となり、その製造も容易ではなく、コストアップにつな

がるという問題があった。

【0 0 1 2】

この発明の目的は、コストアップを招くことなく、小型で且つ所定の周波数帯域で大きな減衰量が得られるようにした、フィルタ用の少なくともインダクタを内蔵した非可逆回路素子、該非可逆回路素子とともに構成した非可逆回路、およびそれを用いた通信装置を提供することにある。

【0 0 1 3】

【課題を解決するための手段】

この発明の非可逆回路素子は、直流磁界が印加される磁性体に複数の中心導体を互いに交差させて配置して成る非可逆回路素子において、

前記中心導体の少なくとも1つのポート部と信号入出力端との間にソレノイド状のインダクタを接続するとともに、該インダクタにより生じる前記磁性体を通る磁束の向きが前記直流磁界の向きに対して略垂直となる関係に、前記インダクタを配置する。

【0 0 1 4】

図10、11に示したように、従来の非可逆回路素子においては、インダクタにより生じる磁束が、直流磁界に平行な方向に磁性体（フェライト）を通るが、磁性体の直流磁界に対して平行方向の比透磁率は1であるため、インダクタは空芯のソレノイド状インダクタとして作用するだけであったが、磁性体の直流磁界に対して垂直方向の比透磁率は1より大きな値であるため、この発明の上記構造により、インダクタの磁路中に比透磁率の高い物質が介在することになり、インダクタのインダクタンスが増大する。このことから、所定のインダクタンスを得るためのインダクタを小型にし、非可逆回路素子全体を小型化する。

【0 0 1 5】

また、この発明の非可逆回路は、上記非可逆回路素子と、そのインダクタに対して直列に接続されるキャパシタを設けて、該キャパシタと前記インダクタとによって帯域通過フィルタを構成する。これにより、例えば基本波の2倍波や3倍波などのスプリアスを大きく減衰させる。

【0 0 1 6】

また、この発明の非可逆回路は、上記非可逆回路素子と、該非可逆回路素子のインダクタの両端とアースとの間に接続されるキャパシタと、前記インダクタとによって低域通過フィルタを構成する。これにより、不要な周波数成分を大きく減衰させる。

【0017】

さらにこの発明の通信装置は、上記非可逆回路素子または非可逆回路を、例えばアンテナ共用回路の送受信回路部に用いて構成する。これにより小型でスプリアス特性に優れた通信装置を得る。

【0018】

【発明の実施の形態】

第1の実施形態に係るアイソレータの構成を図1～図3を参照して説明する。

図1はアイソレータの分解斜視図、図2は上ヨークを取り外した状態での上面図および断面図である。

【0019】

図1および図2に示すように、このアイソレータは、磁性体金属からなる箱状の上ヨーク2の内面に、円板状の永久磁石3を配置するとともに、この上ヨーク2と、同じく磁性体金属からなる略コ字状の下ヨーク8とによって磁気閉回路を形成し、下ヨーク8内の底面8a上に樹脂ケース7を配設し、樹脂ケース7内に磁性組立体5、整合用コンデンサC1、C2、C3、終端抵抗RおよびインダクタL_fを配設している。

【0020】

上記磁性組立体5は、直方体板形状のフェライト54の下面に、このフェライト54の底面と同形状である、3本の中心導体51、52、53に共通のアース部を当接させて、フェライト54の上面に、上記アース部から延びる3本の中心導体51、52、53を、絶縁シート（不図示）を介在させて互いに120°の角度をなすように折り曲げて配置し、中心導体51、52、53の先端側のポート部P1、P2、P3を外方へ突出させた構造としている。この磁性組立体5には、フェライト54に対してその厚み方向に磁束が通るように、上記永久磁石3により直流磁界を印加する。

【0021】

樹脂ケース 7 は、電氣的絶縁部材からなり、矩形棒状の側壁 7 a に底壁 7 b を一体形成したものであり、入出力端子 7 1, 7 2 およびアース端子 7 3 を、それらの一部が樹脂内に埋設されるように設けている。底壁 7 b の中央部には挿通孔 7 c を形成していて、この挿通孔 7 c 内に磁性組立体 5 を挿入配置する。この磁性組立体 5 の下面の各中心導体 5 1, 5 2, 5 3 のアース部は、下ヨーク 8 の底面 8 a に半田付けなどにより接続する。入出力端子 7 1, 7 2 は樹脂ケース 7 の一方の側面の両角部に配置していて、アース端子 7 3, 7 3 を他方の側面の両角部に配置している。これらの入出力端子 7 1, 7 2 およびアース端子 7 3, 7 3 の一端は底壁 7 b の上面に露出するように、またそれぞれの他端は底壁 7 b の下面および側壁 7 a の外面に露出するように設けている。

【0022】

挿通孔 7 c の周縁には、それぞれチップ状の整合用コンデンサ C 1, C 2, C 3、チップ状の終端抵抗 R および帯域通過フィルタの一部をなすインダクタ L f を配置している。各コンデンサ C 1, C 2, C 3 の下面電極および終端抵抗 R の一端側の電極は、それぞれアース端子 7 3, 7 3 に接続している。各コンデンサ C 1, C 2, C 3 の上面電極にはそれぞれ中心導体 5 1, 5 2, 5 3 のポート部 P 1, P 2, P 3 を接続し、終端抵抗 R の他端側をポート部 P 3 に接続している。なお、各ポート部 P 1, P 2, P 3 が各コンデンサ C 1, C 2, C 3 の上面高さとなるように、各ポート部 P 1, P 2, P 3 をステップ状に整形している。

【0023】

さて、図 1 および図 2 に示したインダクタ L f は、直径 0. 1 mm の銅線を外径 0. 8 mm で 8 ターンとし、フェライトが存在しない時のインダクタンスを約 24 nH としている。この銅線には耐熱性に優れたポリイミドアミド、ポリエステルイミド、ポリエステル、ポリイミドなどの絶縁膜を被覆していて、巻線間を電氣的に絶縁している。またその端子部は銅線を露出させていて、一端側を中心導体 5 1 のポート部 P 1 に接続し、他端側を入出力端子 7 1 に接続している。すなわち、ポート部 P 1 はインダクタ L f を介して入出力端子 7 1 に接続している。

【 0 0 2 4 】

インダクタ L_f の両端は一直線状にならないように配置して、ポート部 P 1 および入出力端子 7 1 に対する半田付け時の安定性を高め、生産性を向上させている。また、このインダクタ L_f の両端は、インダクタのソレノイドの中心軸の高さがフェライト 5 4 の中央高さ位置とほぼ等しくなるように引き出している。さらに、インダクタ L_f は、その中心軸がフェライト 5 4 の面方向、すなわち永久磁石 3 による直流磁界の向きに垂直な向きに延びるように配置している。したがって、図 2 において破線の矢印で示すように、インダクタ L_f による磁束がフェライト 5 4 に対する直流磁界の向きに対して垂直方向に通る。フェライト 5 4 の透磁率はテンソル透磁率であるが、永久磁石 3 による直流磁界に平行な方向の成分は比透磁率が 1 であって、真空と同じである。これに対し、直流磁界の向きに垂直な方向の比透磁率は 2 ～ 3 程度である。そのため、インダクタの中心軸をフェライト 5 4 の面に垂直方向に配置した場合に比べてインダクタ L_f のインダクタンスは大きくなる。

【 0 0 2 5 】

以上に示したアイソレータを実装基板に実装した状態では、そのアイソレータの入出力端子 7 1 にキャパシタ C_f を接続して、図 1 2 に示したように、インダクタ L_f と共に帯域通過フィルタを構成する。

【 0 0 2 6 】

この実施形態に係るアイソレータは、ほぼ幅 7. 0 mm × 奥行き 7. 0 mm × 高さ 2. 0 mm の超小型部品であり、例えば 1. 5 GHz 帯においては、整合用コンデンサ C_1 , C_2 , C_3 の静電容量は約 5 pF、フィルタ用のキャパシタ C_f は約 0. 5 pF、インダクタ L_f は約 20 nH にそれぞれ設定し、900 MHz 帯においては、 C_1 , C_2 , C_3 は約 10 pF、 C_f は約 1. 0 pF、インダクタ L_f は約 30 nH にそれぞれ設定する。

【 0 0 2 7 】

図 3 は、上記アイソレータの入出力端子 7 1 に、インダクタ L_f と共に帯域通過フィルタを構成するキャパシタを接続した時の、アイソレータの伝搬方向の減衰特性を示している。図 3 において、実線はこの実施形態に係るアイソレータの

特性、破線はインダクタ L_f および上記キャパシタを設けないアイソレータの特性である。ここで、基本波を 900MHz とすれば、上記帯域通過フィルタを設けなかった場合に、2倍波の減衰量が約 19dB 、3倍波の減衰量が約 28dB であるのに対し、この実施形態によれば、2倍波の減衰量は約 28dB 、3倍波の減衰量は約 40dB となって大きな減衰量が得られる。

【0028】

図3の実線で示した特性を図10および図11に示した従来の構造により得ようとするれば、銅線の直径および外径を同一として9ターンを必要とする。逆にこの実施形態によれば、その分アイソレータの厚み方向寸法を低くすることができ、小型化が図れる。

【0029】

以上に示した例では、等価回路としては図12に示したように、アイソレータの内部に設けたインダクタ L_f と入出力端子に直列に外部に接続したキャパシタ C_f とによって帯域通過フィルタを構成したが、上記インダクタ L_f を用いて低域通過フィルタを構成し、低域通過特性を有する非可逆回路を構成してもよい。図4はその場合の等価回路を示している。但し、フェライトは示していない。ここで L_f は、上記実施形態の場合と同様に設けたインダクタである。また C_f は整合用コンデンサ C_1 の一部であり、便宜上等価回路では C_1 と別に表している。したがって第1の中心導体のポート部 P_1 が接続される整合用コンデンサ C_1 は、実際には本来整合用として必要な静電容量にフィルタ用の容量 C_f を付加した値に設定する。 C_p は入出力端子 7_1 が接続される実装基板上の電極とアースとの間に生じる分布容量である。この L_f 、 C_p 、 C_f からなる π 型の回路により低域通過フィルタを構成する。例えば 1.5GHz 帯においては、キャパシタ C_f 、 C_p はそれぞれ約 1.5pF 、インダクタ L_f は約 5nH に設定し、 900MHz 帯においては、 C_f 、 C_p はそれぞれ約 2pF 、インダクタ L_f は約 8nH に設定する。なお、 C_p はチップ部品等により設けてもよい。

【0030】

次に、第3の実施形態に係る非可逆回路の例を図5を参照して説明する。以上に示した例ではアイソレータの入力ポート部に帯域通過フィルタまたは低域通過

フィルタを構成したが、同様にして出力側のポートに同様のフィルタを構成してもよい。図5はフェライトの図示を省略した等価回路図である。(A)に示す例では、第1と第2の中心導体のポート部P1、P2と入出力端子71、72との間にそれぞれインダクタLf1、Lf2を接続している。そして、このアイソレータの入出力端子71、72に対して外部にキャパシタCf1、Cf2をそれぞれ接続して、Lf1とCf1とによって第1の帯域通過フィルタを構成し、Lf2とCf2とによって第2の帯域通過フィルタを構成している。これにより、2段の帯域通過フィルタを有する非可逆回路を構成する。これにより、阻止帯域の減衰量をさらに大きく稼ぐことができる。

【0031】

また図5の(B)に示す例では、第1と第2の中心導体のポートP1、P2と入出力端子71、72の間に、同様にしてインダクタLf1、Lf2を接続し、入出力端子71、72とアースとの間に分布容量などによるキャパシタCp1、Cp2をそれぞれ設けている。これにより、入力ポート側と出力ポート側にそれぞれ π 型の低域通過フィルタを構成する。この場合にも2段の低域通過フィルタを有する非可逆回路となるので、阻止帯域の減衰量を大きく稼ぐことができる。

【0032】

なお、アイソレータの入力ポート側ではなく出力ポート側にのみ帯域通過フィルタまたは低域通過フィルタを構成してもよい。

【0033】

次に、上記アイソレータを用いた通信装置の例を図6を参照して説明する。同図においてANTは送受信アンテナ、DPXはデュプレクサ、BPFa、BPFb、BPFcはそれぞれ帯域通過フィルタ、AMPa、AMPbはそれぞれ増幅回路、MIXa、MIXbはそれぞれミキサ、OSCはオシレータ、DIVは分周器(シンセサイザー)である。MIXaはDIVから出力される周波数信号を変調信号で変調し、BPFaは送信周波数の帯域のみを通過させ、AMPaはこれを電力増幅して、アイソレータISOおよびDPXを介しANTより送信する。BPFbはDPXから出力される信号のうち受信周波数帯域のみを通過させ、AMPbはそれを増幅する。MIXbはBPFcより出力される周波数信号と受

信信号とをミキシングして中間周波信号 I F を出力する。

【 0 0 3 4 】

上記アイソレータ I S O として、図 1 ～図 5 に示した素子および回路を用いる。このアイソレータ I S O には帯域通過特性または低域通過特性も備えているので、送信周波数帯域のみを通過させる帯域通過フィルタ B P F a を省略してもよい。このようにして全体に小型の通信装置を構成する。

【 0 0 3 5 】

なお、以上に示した実施形態では、アイソレータを例に挙げて説明したが、第 3 の中心導体のポート部 P 3 に終端抵抗 R を接続することなく、ポート部 P 3 を第 3 の入出力部として構成したサーキュレータにも本願発明は同様に適用できる。

【 0 0 3 6 】

また、実施形態ではインダクタ L f として、空芯のソレノイド状にしたものを例に挙げたが、誘電体または磁性体に導線をソレノイド状に巻き付けるかソレノイド状の導体パターンを形成してもよい。また誘電体や磁性体中に電極を内蔵してソレノイド状に形成したものであってもよい。これらの構造であっても、中心導体と結合する磁性体（フェライト）に対して直流磁界の向きに垂直な向きに磁束が通るようにインダクタを配置することによって、インダクタのインダクタンスが高まり、全体に小型化が図れる。

【 0 0 3 7 】

さらに、この発明は、全体の構造が図 1 および図 2 に示したものに限るものではなく、例えば多層基板の内部に中心導体を形成した構造であってもよい。

【 0 0 3 8 】

【発明の効果】

請求項 1 に記載の発明によれば、インダクタの磁路中に比透磁率の高い物質が介在することになり、インダクタのインダクタンスが増大し、所定のインダクタンスを得るためのインダクタが小型になり、非可逆回路素子全体が小型化できる。

【 0 0 3 9 】

請求項 2, 3 に記載の発明によれば、非可逆回路特性と帯域通過フィルタ特性とを併せ持った特性が得られ、フィルタを別途設けることなく不要な周波数成分を抑圧できるので、この非可逆回路を用いる装置の小型化が図れる。

【0 0 4 0】

請求項 4 に記載の発明によれば、装置からの不要輻射を抑制しつつ小型化が図れる。

【図面の簡単な説明】

【図 1】 第 1 の実施形態に係るアイソレータの分解斜視図

【図 2】 同アイソレータの上ヨークを取り除いた状態での上面図および断面図

【図 3】 同アイソレータと従来のアイソレータとの減衰量の周波数特性を示す図

【図 4】 第 2 の実施形態に係る、アイソレータを用いた非可逆回路の構成を示す図

【図 5】 第 3 の実施形態に係る、アイソレータを用いた非可逆回路の構成を示す図

【図 6】 第 4 の実施形態に係る通信装置の構成を示すブロック図

【図 7】 従来のアイソレータの分解斜視図

【図 8】 同アイソレータの上ヨークを取り除いた状態での上面図および断面図

【図 9】 同アイソレータの等価回路図

【図 1 0】 従来の他のアイソレータの分解斜視図

【図 1 1】 同アイソレータの上ヨークを取り除いた状態での上面図および断面図

【図 1 2】 同アイソレータの等価回路図

【符号の説明】

2－上ヨーク

3－永久磁石

5－磁性組立体

5 1, 5 2, 5 3－中心導体

5 4－フェライト

7－樹脂ケース

7 1, 7 2－入出力端子

7 3－アース端子

8－下ヨーク

C 1, C 2, C 3－整合用コンデンサ

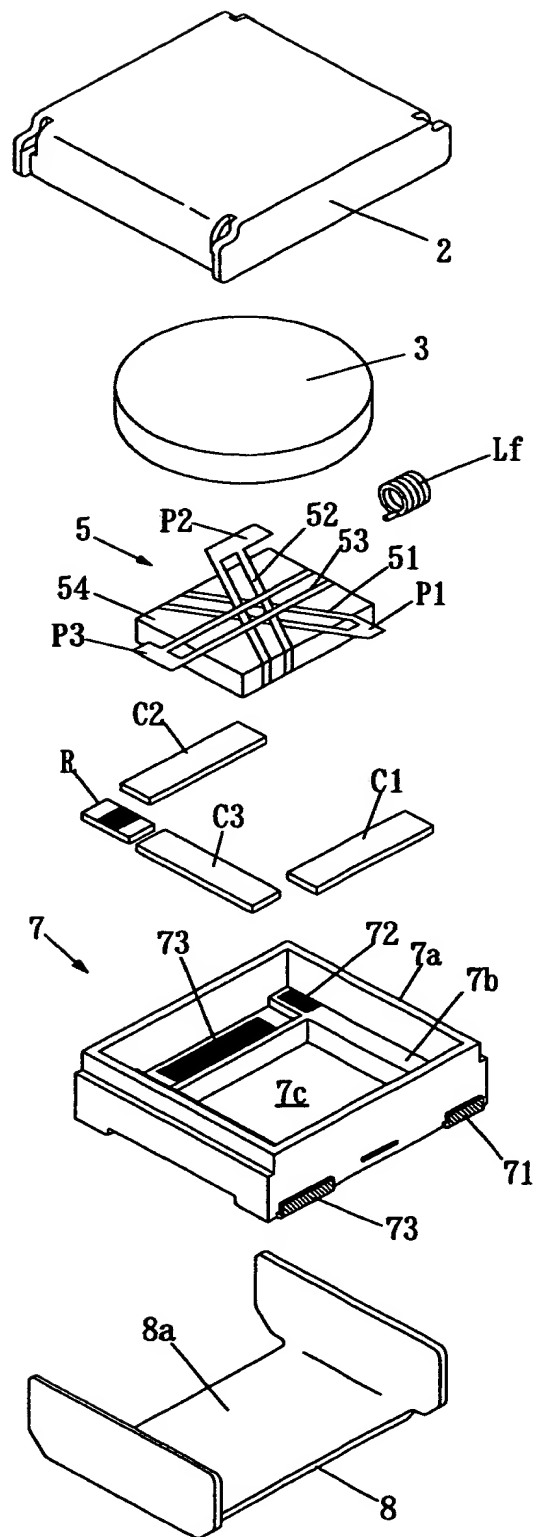
P 1, P 2, P 3－ポート部

L f－インダクタ

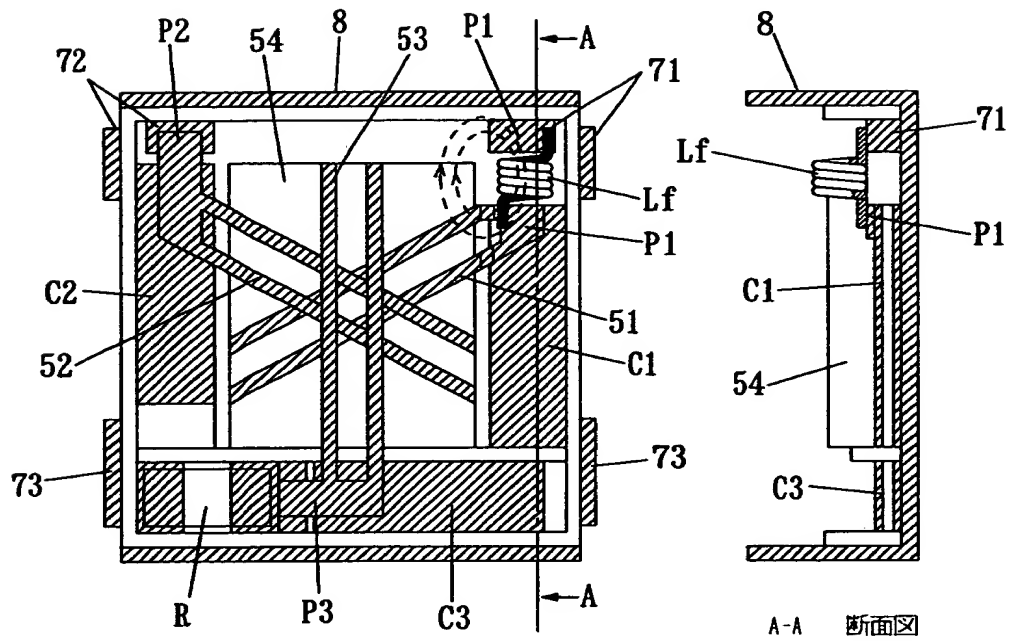
C f, C p－キャパシタ

【書類名】 図面

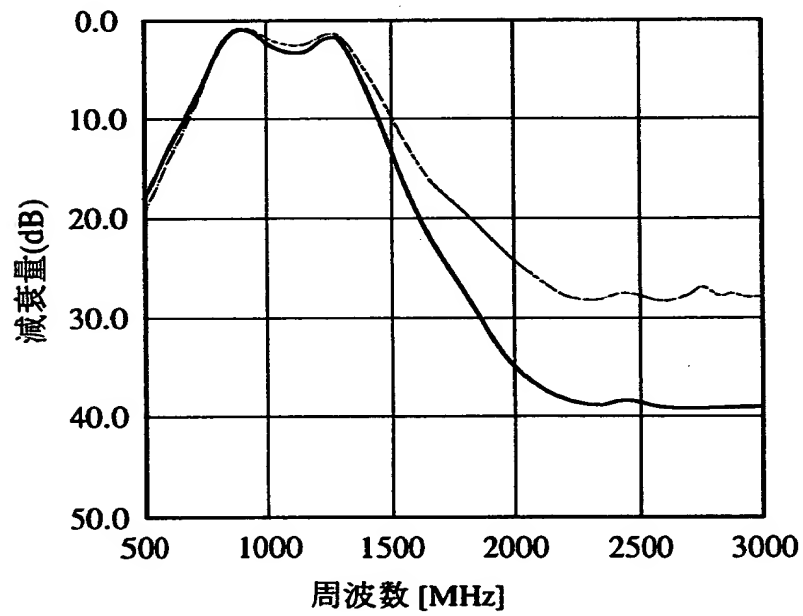
【図 1】



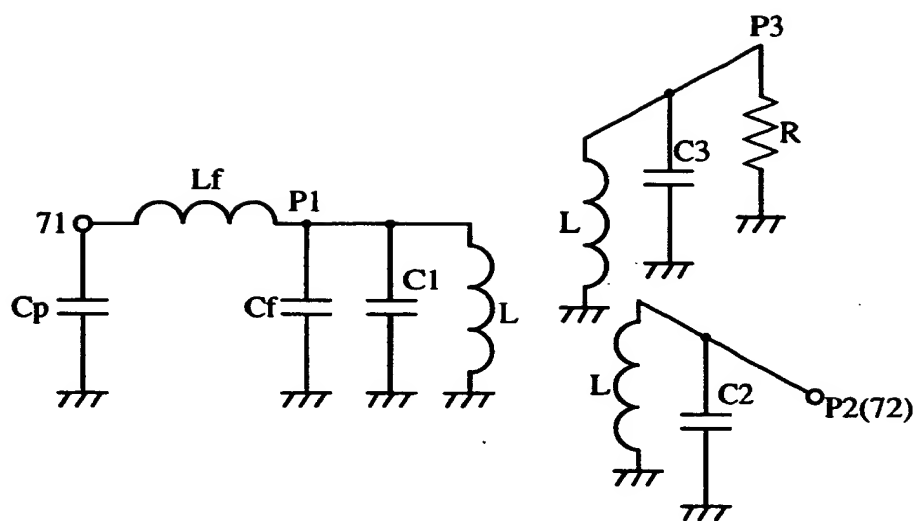
【図 2】



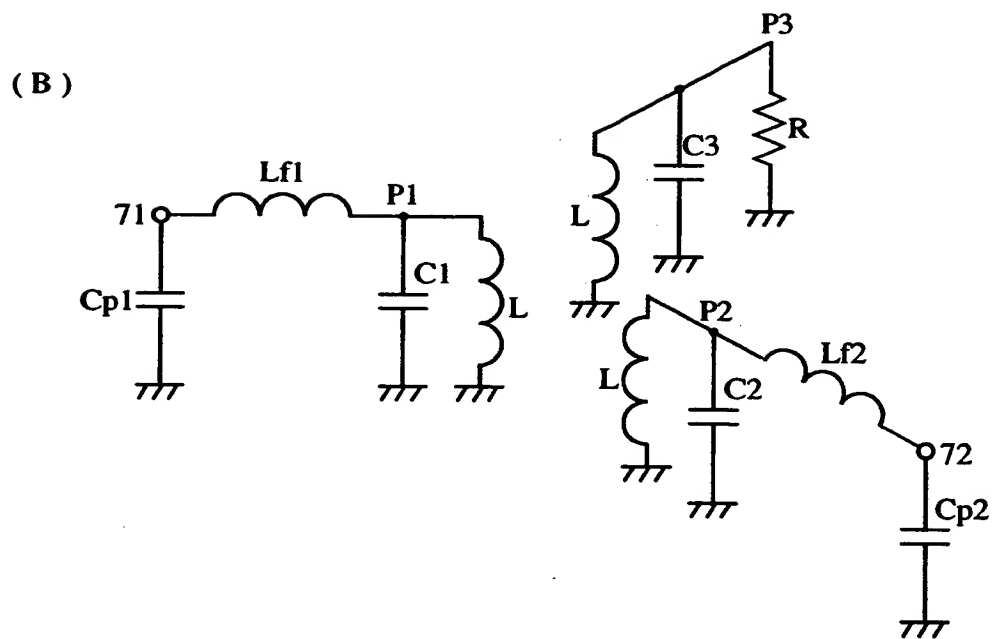
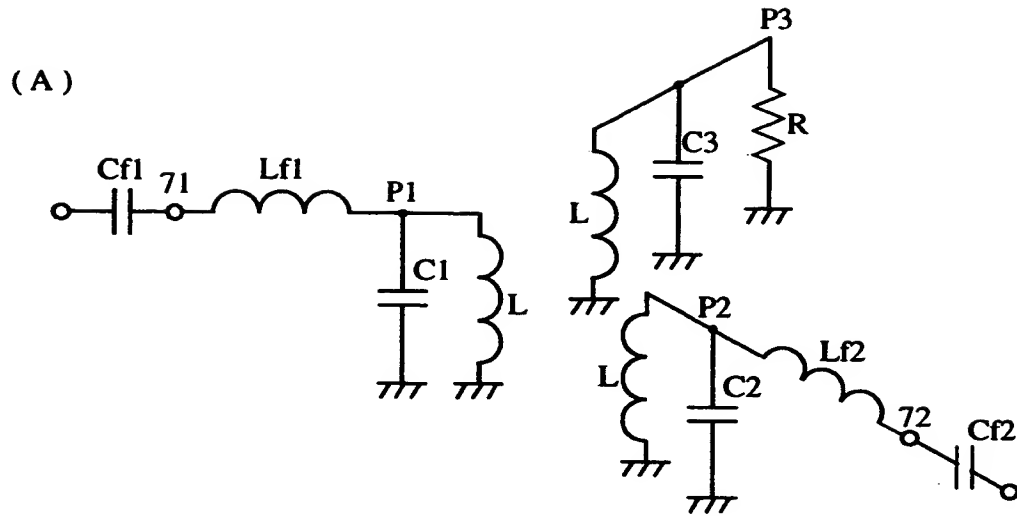
【図 3】



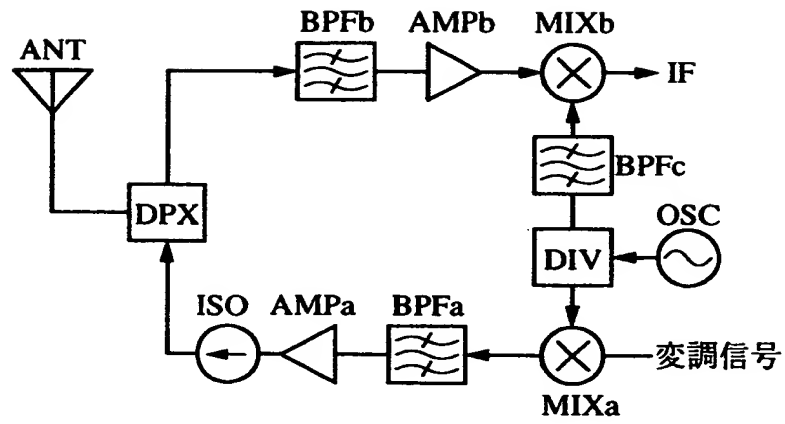
【図 4】



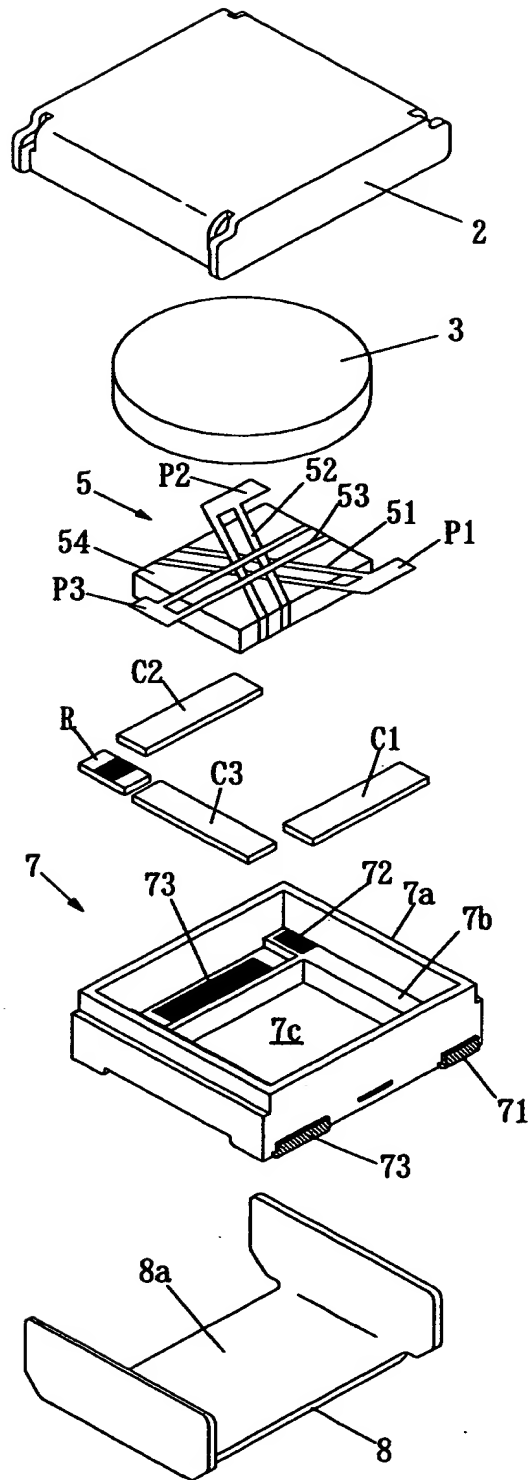
【図 5】



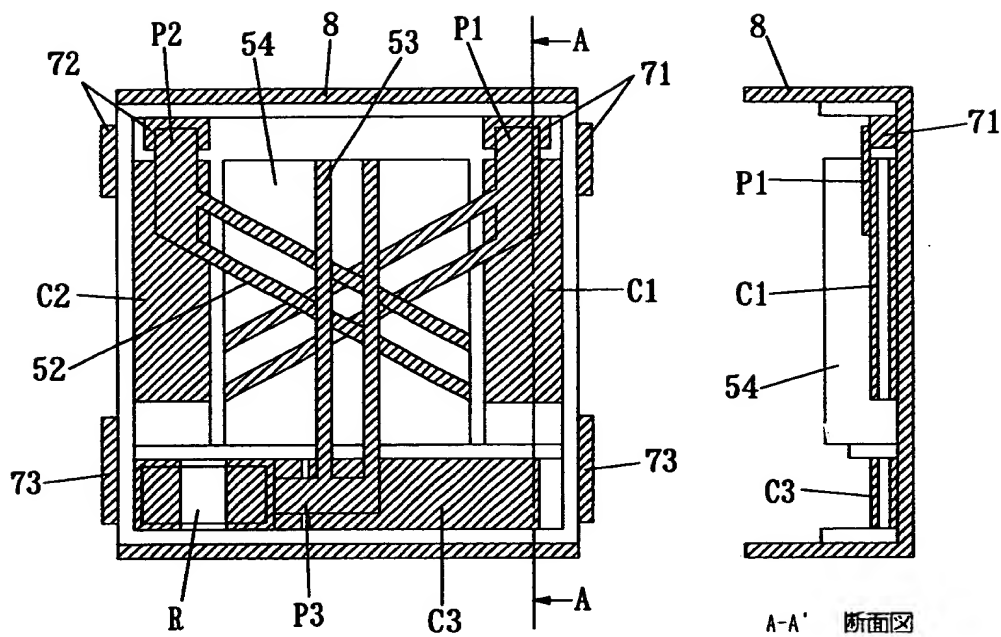
【図 6】



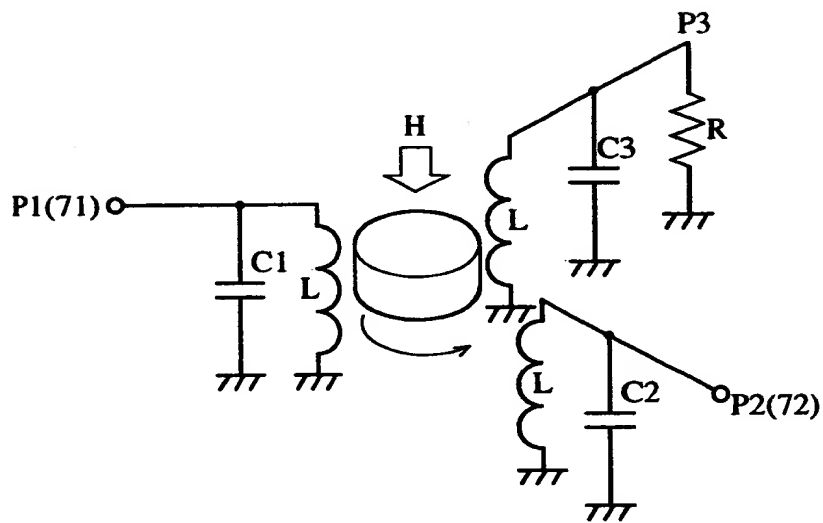
【図 7】



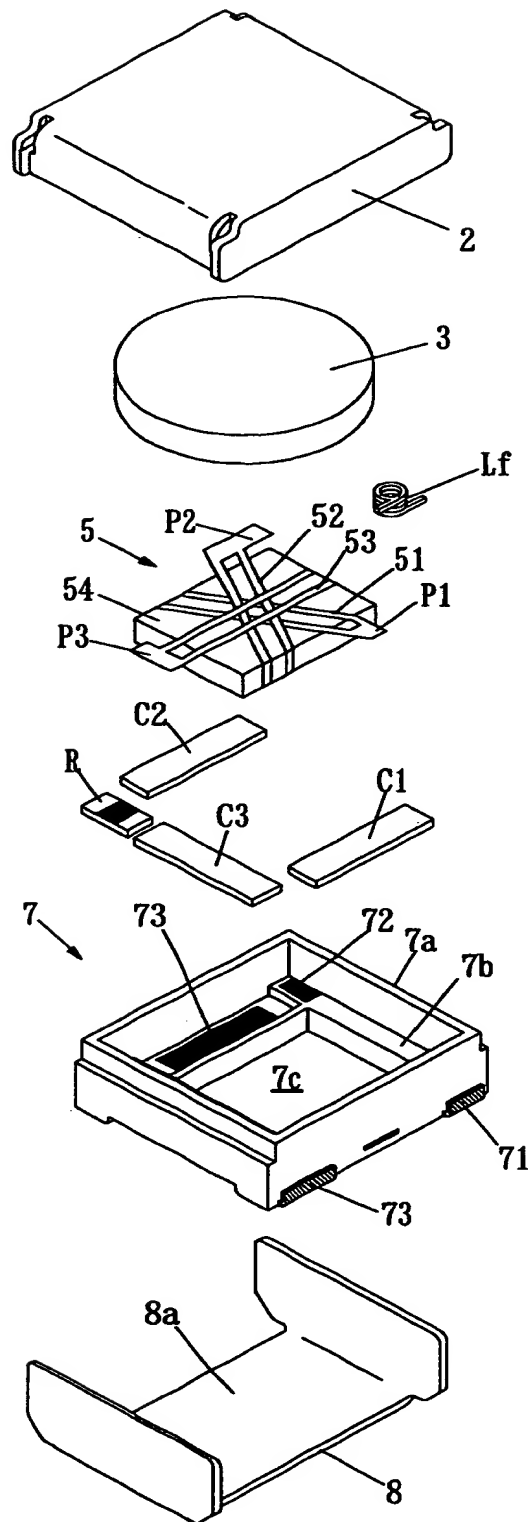
【图 8】



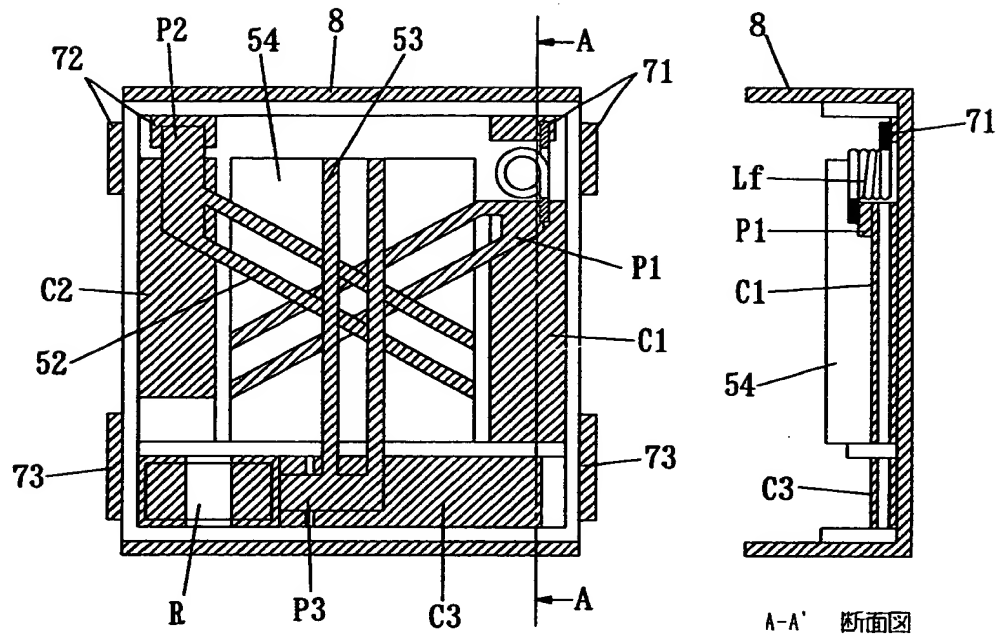
【图 9】



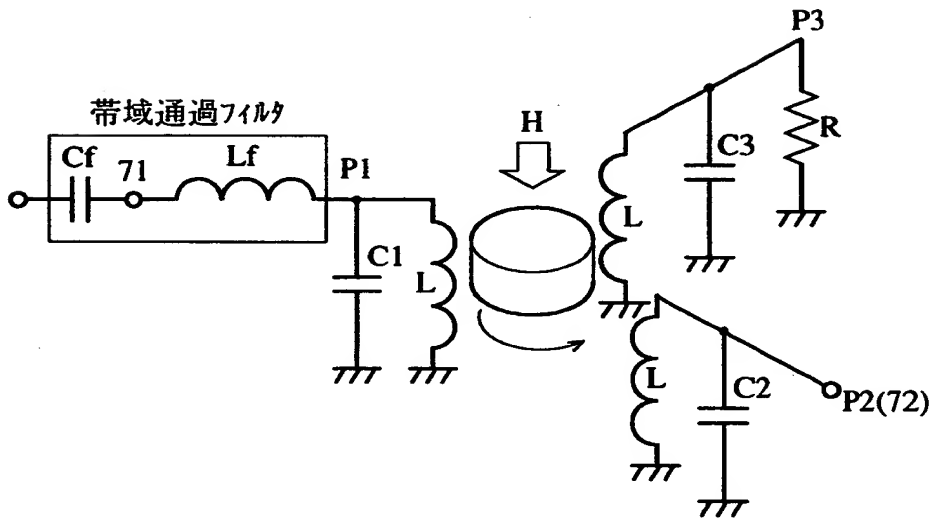
【図 10】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 コストアップを招くことなく、小型で且つ所定の周波数帯域で大きな減衰量を得られるようにした、フィルタ用の少なくともインダクタを内蔵した非可逆回路素子、該非可逆回路素子とともに構成した非可逆回路、およびそれを用いた通信装置を得る。

【解決手段】 直流磁界が印加されるフェライト 5 4 に中心導体 5 1, 5 2, 5 3 を互いに交差させて配置し、各中心導体のポート部 P 1, P 2, P 3 とアース間に整合用コンデンサ C 1, C 2, C 3 をそれぞれ接続して非可逆回路を構成し、中心導体 5 1 のポート部 P 1 と信号入出力端子 7 1 との間にソレノイド状のインダクタ L f を接続するとともに、このインダクタ L f により生じる、フェライト 5 4 を通る磁束の向きが、フェライト 5 4 に対する直流磁界の向きに対してほぼ垂直となる関係にインダクタ L f を配置する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000006231]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目26番10号

氏 名 株式会社村田製作所